



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 102 52 787 A 1**

51 Int. Cl.⁷:
H 01 L 23/28
C 23 C 14/24
H 01 L 23/552
H 01 L 21/48

21 Aktenzeichen: 102 52 787.3
22 Anmeldetag: 13. 11. 2002
43 Offenlegungstag: 6. 11. 2003

DE 102 52 787 A 1

66 Innere Priorität:
202 05 830. 1 15. 04. 2002

71 Anmelder:
Schott Glas, 55122 Mainz, DE

7A Vertreter:
Blumbach, Kramer & Partner GbR, 65187
Wiesbaden

72 Erfinder:
Mund, Dietrich, 84101 Obersüßbach, DE; Leib,
Jürgen, Dr., 85354 Freising, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

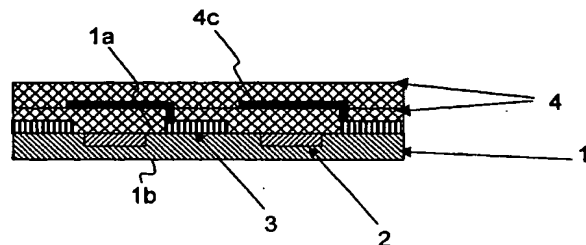
54 Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung

57 Die Erfindung betrifft Verfahren zur Herstellung eines Kopierschutzes für eine integrierte Schaltung. Um das unberechtigte Kopieren eines integrierten Schaltkreises zu vermeiden, ist es eine Aufgabe der Erfindung einen wirksamen und sicheren Kopierschutz zur Verfügung zu stellen.

Es wird ein Verfahren vorgeschlagen, umfassend die Schritte: Bereitstellen eines Substrats (1), welches Halbleiterstrukturen (2) auf zumindest einer ersten Seite (1a) des Substrats (1) aufweist,

Bereitstellen eines Materials zur Beschichtung des Substrats (1),
Beschichten des Substrats (1) mit einer Kopierschutzschicht (4).

Es hat sich als besonders vorteilhaft erwiesen, die Kopierschutzschicht (4) durch Aufdampfen eines silikatischen Glases zu erzeugen, da so ein Ätzverfahren, welches die Kopierschutzschicht auflöst, ebenfalls das Substrat (1) derart angreift, dass die Halbleiterstrukturen (2) zumindest teilweise zerstört werden.



DE 102 52 787 A 1

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung, insbesondere eine integrierte Schaltung und ein elektronisches Bauteil mit, einem Kopierschutz.

[0002] Die Komplexität von elektronischen Schaltungen, insbesondere integrierten Schaltungen wird aufgrund der anhaltenden technischen Weiterentwicklung immer komplizierter. Dies ruft Produktpiraten auf den Plan, welche eine integrierte Schaltung aus dem Gehäuse freilegen, um diese zu analysieren und die Ergebnisse gegen den Willen des Herstellers zu missbrauchen sowie insbesondere die integrierte Schaltung zu kopieren.

[0003] Dieses Problem ist besonders relevant bei elektronischen Schaltungen, für die ein erhöhtes Geheimhaltungsinteresse seitens des Herstellers besteht, wie z. B. bei Schaltkreisen zur Entschlüsselung von verschlüsselten Signalen, insbesondere für das Bezahlfernsehen (Pay-TV) und Plastik Chipkarten.

[0004] Zwar werden Chips typischerweise in Gehäusen oder ähnlich gekapselt, doch lassen sich diese mit entsprechenden Mitteln wieder entfernen und bieten daher keinen hinreichenden Schutz vor Missbrauch oder Kopie.

[0005] Daher ist es eine Aufgabe der vorliegenden Erfindung ein Verfahren bereitzustellen, welches die Herstellung eines wirksamen und sicheren Kopierschutzes für eine elektronische Schaltung ermöglicht.

[0006] Eine weitere Aufgabe der vorliegenden Erfindung ist es ein elektronisches Bauteil mit einem wirksamen Kopierschutz verfügbar zu machen.

[0007] Die Aufgabe der Erfindung wird in überraschend einfacher Weise bereits durch den Gegenstand der Ansprüche 1 und 25 gelöst. Weitere Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

[0008] Für das erfindungsgemäße Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung wird ein Substrat bereitgestellt, welches Halbleiterstrukturen auf einer ersten Seite des Substrats aufweist. Dieses Substrat ist z. B. ein noch nicht in Chips unterteilter Silizium-Wafer mit aufgedruckten Schaltkreisen.

[0009] Die elektronische Schaltung umfasst vorzugsweise einen Schaltkreis, eine integrierte Schaltung und/oder einen Sensor.

[0010] Weiter werden Materialien zur Beschichtung des Substrats bereitgestellt und das Substrat mit einer oder mehreren Kopierschutzschichten beschichtet. Die Kopierschutzschicht bzw. Kopierschutzschichten erfüllen insbesondere die Funktion eines Schutzes vor dem Ausspähen, Missbrauchen und Kopieren einzelner Halbleiterstrukturen und/oder der gesamten Schaltung. Der Kopierschutz schützt insbesondere Schaltungen mit Halbleiterstrukturen, welche elektronische Entschlüsselungsmittel umfassen, da diese besonders geheimhaltungsbedürftig sind. Ein wichtiger Anwendungsbereich der Erfindung ist daher der Schutz vor Produktpiraterie und die Entschlüsselung durch unberechtigte Personen von Decodern für den Bezahlrundfunk, insbesondere für das Bezahlfernsehen (Pay-TV) oder bei sicherheitsrelevanten Schaltkreisen auf Chipkarten.

[0011] Eine Beschichtung als Kopierschutz vorzusehen hat den Vorteil, dass sie einerseits einen sehr wirksamen Kopierschutz, bzw. Analyse- oder Ausspähschutz bedeutet und andererseits einfach auf das Substrat oder den Wafer aufgebracht werden kann.

[0012] Darüber hinaus bietet eine Beschichtung einen gleichmäßigen Schutz über den gesamten beschichteten Bereich, was sogar das Ausspähen von Teilen der Schaltung wirksam verhindern kann.

[0013] Insbesondere kann eine Beschichtung auch als Teilschritt im Herstellungsverfahren der Schaltung integriert sein. Dieser Vorteil wirkt sich besonders positiv aus, wenn ohnehin Beschichtungen, z. B. Passivierungs- oder Stabilisierungsschichten, aufgetragen werden sollen. In diesem Fall können die Kopierschutzschicht bzw. -schichten und eine oder mehrere weitere Beschichtungen, z. B. eine Passivierungs- oder Stabilisierungsschichtung in derselben Vorrichtung, insbesondere Vakuumkammer durchgeführt werden, vorzugsweise ohne, dass das Substrat zwischen den Beschichtungen aus der Vorrichtung entfernt wird, und so ein kosten- und zeintensiver Umrüstvorgang vermieden werden kann.

[0014] Besonders vorteilhaft hinsichtlich der Verfahrensökonomie bei der Herstellung von Halbleiterprodukten ist, dass die Kopierschutzbeschichtung flächig auf den noch unzerlegten Wafer aufgetragen werden kann, so dass eine Vielzahl von Chips in einem Arbeitsschritt mit dem Kopierschutz versehen werden können. Dies ist insbesondere bei Chips, welche auf Wafer-Ebene gehäust werden, dem sogenannten Wafer-Level Packaging (WLP), von Vorteil. Hierbei kann das erfindungsgemäße Verfahren das WLP einerseits ergänzen, andererseits aber sogar zumindest Teilschritte des WLP ersetzen, nämlich insbesondere wenn die Kopierschutzschicht derart ausgebildet ist, dass sie gleichzeitig eine Gehäuse- und/oder eine Stabilisierungsfunktion erfüllt, d. h. ein integraler Bestandteil des Gehäuses ist.

[0015] Vorzugsweise werden die Halbleiterstrukturen zumindest bereichsweise mittels der Kopierschutzschicht bzw. -schichten abgedeckt, so dass diese ohne Entfernung der Kopierschutzschicht bzw. -schichten nicht zugänglich sind.

[0016] Dabei werden die Kopierschutzschicht bzw. -schichten bevorzugt dergestalt an das Substrat angepasst, dass ein Ätzverfahren, welches die Kopierschutzschicht bzw. -schichten auflöst, ebenfalls das Substrat derart angreift, dass die Halbleiterstrukturen zumindest teilweise angelöst, aufgelöst, angegriffen und/oder zerstört werden und/oder die logische Schaltung nach Entfernen der Kopierschutzschicht bzw. -schichten nicht mehr nachempfunden werden kann, so dass ein Ausspäh- oder ein Kopierschutzversuch bei welchem die Kopierschutzschicht bzw. -schichten abgeätzt werden sollen, zum Scheitern verurteilt ist. Als mögliche Ätzverfahren für die Kopierschutzschicht bzw. -schichten, kommen insbesondere chemisches oder Nassätzen, sowie Trocken- oder Plasmaätzen in Betracht.

[0017] Vorteilhafterweise ist eine selektive Ablösung der Schutzschichten, ohne die auf dem Substrat oder Wafer vorhandenen Halbleiterstrukturen zu schädigen, somit unmöglich oder zumindest erheblich erschwert. Die Strukturen können daher nicht ohne weiteres unberechtigt kopiert werden.

[0018] Vorzugsweise enthält mindestens eine Kopierschutzschicht Silizium. Dieses ist hinsichtlich des Ätzverhaltens sehr gut an Substrate mit Halbleiterschichten auf Siliziumbasis angepasst.

[0019] Die Kopierschutzschicht bzw. -schichten werden bevorzugt als eine zumindest bereichsweise geschlossene Schicht aufgebracht und sind insbesondere fest, vollständig und/oder flächig mit dem Substrat verbunden und/oder haften auf diesem, so dass auch andere als ätzende Angriffe abgewehrt werden.

[0020] Vorzugsweise sind zumindest die Bereiche des Substrats in welchen sich die Halbleiterstrukturen befinden vollständig von der Kopierschutzschicht bzw. den -schichten bedeckt und/oder hermetisch verkapselt.

[0021] Die Erfinder haben überraschenderweise festgestellt, dass sich Glas als Material für die Kopierschutzschicht eignet. Daher wird insbesondere eine Glasschicht

auf das Substrat aufgebracht. Dabei wird ein silikatisches Glas, z. B. ein Borosilikatglas, insbesondere mit Anteilen von Aluminiumoxid und/oder Alkalioxid bevorzugt. Als besonders geeignet erwies sich in Versuchen das Aufdampfglas 8329 der Fa. Schott.

[0022] Die Kopierschutzschicht, d. h. insbesondere das Glas werden bevorzugt aufgedampft. Das Aufdampfen verursacht vorteilhafterweise eine sehr feste Bindung mit dem Substrat, ohne dass z. B. Klebstoffe notwendig sind.

[0023] Die Kopierschutzschicht ist entweder durchsichtig, was für optoelektronische Bauelemente vorteilhaft ist oder undurchsichtig, intransparent, getönt, gefärbt, trübe, mattiert oder ähnlich sichtbehindernd.

[0024] Silizium als Hauptkomponente von Wafer und Schutzschicht kann im wesentlichen nur durch die gleichen Ätzchemikalien entfernt werden, was die Möglichkeit der selektiven Abätzung nahezu ausschließt. Sogar bei Anwendung von Trockenätzverfahren ist eine Materialkombination von Silizium-Substrat bzw. -Wafer und Silizium-Glas gegenüber selektiver Ätzung geschützt, da die Information über den Ätzstop nur anhand der Elemente der Halbleiterschicht oder der Glasschicht gewonnen werden kann. Erst nach Erhalt dieser Information, also nach Schädigung der Halbleiterschichten, kann der Ätzprozess gestoppt werden.

[0025] Aber auch die Verwendung von Glas für andere als Silizium-Substrate sowie organische und anorganische Halbleiter ist durch die Verwendung entsprechend angepasster Aufdampfgläser möglich.

[0026] Vorzugsweise beträgt die Oberflächenrauigkeit des Substrats höchstens 50 µm, 10 µm oder 5 µm und/oder der Wärmeausdehnungskoeffizient des Substrats und des Materials der Kopierschutzschicht, insbesondere des Aufdampfglases stimmen überein.

[0027] Gemäß einer bevorzugten Ausführungsform umfasst die Kopierschutzschicht ein zumindest binäres System, vorzugsweise ein Mehrkomponentensystem. Als zumindest binäres System wird dabei ein Material verstanden, welches eine Synthese aus zumindest zwei chemischen Verbindungen darstellt.

[0028] Als besonders effektive Aufdampfverfahren für die Kopierschutzschicht haben sich thermische Bedampfung und Elektronenstrahlbedampfung erwiesen. Es werden vorteilhaft hohe Aufdampfraten von mindestens 0,01 µm/min, 0,1 µm/min, 1 µm/min, 2 µm/min und/oder bis zu 10 µm/min, 8 µm/min, 6 µm/min oder 4 µm/min erzielt. Das übertrifft bekannte Sputterraten um ein Vielfaches und macht den Einsatz des erfindungsgemäßen Verfahrens zur Herstellung eines Kopierschutzes äußerst interessant. Dadurch lassen sich schnell und effektiv Schichtdicken mit einer Dicke von 0,1 µm bis 1000 µm, vorzugsweise 10 µm bis 100 µm auf das Substrat auftragen. Bisher aufgetragene Sputterschichten von Einkomponentensystemen (typischerweise SiO₂) besitzen Sputterraten von lediglich wenigen Nanometern pro Minute.

[0029] Vorzugsweise wird das Beschichten des Substrats mit der Kopierschutzschicht bei einer Bias-Temperatur von unter 300°C, insbesondere unter 150°C und besonders bevorzugt im Bereich von 100°C durchgeführt. Zum Beschichten des Substrats mit der Kopierschutzschicht, insbesondere zum Aufdampfen der Glasschicht hat sich eine Hintergrunddruck von 1⁻³ mbar bis 10⁻⁷ mbar, insbesondere im Bereich von 10⁻⁵ mbar bewährt.

[0030] Gemäß einer bevorzugten Weiterbildung der Erfindung wird zumindest eine weitere Schicht, z. B. eine Glas-, Keramik-, Metall oder Kunststoffschicht, insbesondere als optische und röntgenoptische Schutzschicht und/oder als Schutzschicht gegen kapazitives und induktives Ausspähen aufgebracht, wobei diese Schutzschicht für elektromagneti-

sche Wellen, insbesondere für Röntgenstrahlen im wesentlichen undurchlässig ist, bzw. eine kapazitive und/oder induktive Abschirmung umfasst. Diese Schicht kann sowohl ganzflächig, günstigstenfalls partiell die schützenden Bereiche des Substrats überdecken. Dabei kann die Schutzschicht aber auch derart aufgebracht sein, dass dennoch Signale kontaktlos, insbesondere induktiv oder kapazitiv ein- oder ausgekoppelt werden können.

[0031] Gemäß einer bevorzugten Ausführungsform werden zumindest ein Teil der für die Funktion der Schaltkreise notwendigen Leiterbahnen und/oder passiven Bauelemente in die Schutzschichtenfolge mit eingebaut, so dass bei Entfernung der Schutzschichten die Logik der Schaltkreise nicht mehr oder nur unter erschwerten Bedingungen nachvollziehbar ist.

[0032] Gemäß einer bevorzugten Weiterbildung der Erfindung wird zumindest eine weitere Schicht, z. B. eine Glas- oder Kunststoffschicht, insbesondere als Passivierungsschicht und/oder als mechanische Verstärkung auf einer der ersten Seite gegenüberliegenden zweiten Seite des Substrats aufgebracht. Eine Kombination aus einer Glasschicht mit Passivierungsfunktion und einer darauf aufgetragenen mechanisch verstärkenden Kunststoffschicht ist von besonderem Vorteil.

[0033] Gemäß einer bevorzugten Ausführungsform wird das erfindungsgemäße Verfahren mit einem Verfahren zur Gehäusung von Halbleiterbauteilen kombiniert, bei welchem das Substrat gedünnt wird, Ätzgruben mit Bond Pads auf der ersten Seite des Substrats als Ätzstop erzeugt werden, eine Kunststoffschicht mittels Kunststofflithografie auf eine der ersten Seite gegenüberliegende zweite Seite des Substrats aufgebracht wird, wobei die Bond Pads offen bleiben, Kontakte auf der zweiten Seite durch Beschichten, insbesondere Besputtern mit einer leitfähigen Schicht erzeugt werden, ein Ball-Grid-Array aufgebracht wird und/oder abschließend das Substrat in einzelne Chips zerteilt wird. Falls gewünscht, wird die Kunststoffschicht auf der zweiten Seite vor dem Zerteilen wieder entfernt und/oder werden die Ätzgruben mit leitfähigem Material gefüllt.

[0034] Gemäß einer weiteren bevorzugten Ausführungsform wird eine der ersten Seite gegenüberliegende zweite Seite des Substrats mit einer 1 µm bis 50 µm dicken Glasschicht bedampft und unter der Glasschicht befindliche Bond Pads werden, insbesondere mittels Schleifen oder Ätzen, freigelegt.

[0035] Gemäß einer bevorzugten Weiterentwicklung wird eine der ersten Seite gegenüberliegende zweite Seite des Substrats im Bereich der Anschlussstrukturen mit einer partiell aufgetragenen Kunststoffschicht mittels Lithographie versehen und danach mit einer 1 µm bis 50 µm dicken Glasschicht ganzflächig bedampft, deren Stärke die der Kunststoffschicht nicht überschreiten darf. Anschließend können die Anschlussstrukturen durch Ablösen der darüber befindlichen Kunststoffschicht sowie der darauf aufgedampften Glasschicht mittels Lift Off Technik freigelegt werden.

[0036] Gemäß einer weiteren Ausführungsform umfasst das Substrat Anschlussstrukturen, welche mit einer strukturierten Deckschicht, insbesondere mittels Kunststofflithografie auf der ersten Seite des Substrats beschichtet werden.

[0037] Anschließend wird das Beschichten mit der Kopierschutzschicht durchgeführt. Dann wird die Kopierschutzschicht gedünnt, z. B. abgeschliffen oder abgeätzt, zumindest bis die Deckschicht freigelegt ist. Danach wird vorzugsweise die Deckschicht zur Freilegung der Anschlussstrukturen wieder entfernt. Hierdurch können selektiv die Bereiche auf dem Substrat, in denen sich die Halbleiterstrukturen befinden, mit der Kopierschutzschicht geschützt werden, wohingegen die Bereiche in denen sich die

Anschlüssen frei kontaktierbar bleiben. Vorzugsweise werden anschließend zur Kontaktierung erhabene Anschlusskontakte, z. B. in Form eines Ball Grid Arrays auf der ersten Seite des Substrats auf den Anschlussstrukturen aufgebracht und elektrisch leitend mit diesen verbunden, was auch als Flip-Chip Technik bezeichnet wird. [0038] Die vorliegende Erfindung steht in Zusammenhang mit den Erfindungen der deutschen Patentanmeldungen DE-102 22 964.3-33, angemeldet am 23.05.02 und DE-102 22 609.1-33, angemeldet am 23.05.02 sowie der deutschen Gebrauchsmusteranmeldung 202 05 830.1, angemeldet am 15.04.02. Daher wird der Inhalt dieser drei Anmeldungen hiermit durch Referenz vollumfänglich zum Gegenstand dieser Offenbarung gemacht. [0039] Im folgenden wird die Erfindung anhand bevorzugter Ausführungsbeispiele und unter Bezugnahme auf die Figuren näher erläutert.

Kurzbeschreibung der Figuren

[0040] Es zeigen
 [0041] Fig. 1a einen Querschnitt durch einen Abschnitt eines Wafers mit einer aufgedampften Glasschicht auf der Oberseite,
 [0042] Fig. 1b wie Fig. 1a mit einer weiteren aufgedampften Glasschicht auf der Unterseite,
 [0043] Fig. 1c wie Fig. 1a mit einer weiteren geschlossenen Schutzschicht aus Metall, Keramik, Glas oder Kunststoff sowie einer abschließenden aufgedampften Glasschicht auf der Oberseite
 [0044] Fig. 1d wie Fig. 1a mit einer weiteren nicht geschlossenen Schutzschicht aus Metall, Keramik, Glas oder Kunststoff sowie einer abschließenden aufgedampften Glasschicht auf der Oberseite
 [0045] Fig. 1e wie Fig. 1a mit einer weiteren nicht geschlossenen Schutzschicht (Leiterbahnen, passive Bauelemente) aus Metall oder Keramik sowie einer abschließenden aufgedampften Glasschicht auf der Oberseite
 [0046] Fig. 2 einen Waferabschnitt mit Glas und Kunststoffschicht,
 [0047] Fig. 3 eine Herstellung von Anschlüssen an den Wafer,
 [0048] Fig. 4 wie Fig. 3 mit einer Kunststoff-Passivierung der Waferunterseite,
 [0049] Fig. 5 eine Beschichtung der Waferunterseite mit Aufdampfglas,
 [0050] Fig. 6 ein Anbringen eines Ball Grid Arrays an den Wafer aus Fig. 5,
 [0051] Fig. 7a eine weitere Anbringungsart des Ball Grid Arrays an den Wafer,
 [0052] Fig. 7b wie Fig. 7a mit einer Kunststoffschicht auf der Unterseite des Wafers,
 [0053] Fig. 8 eine Kapselung der Unterseite eines Wafers,
 [0054] Fig. 8a eine weitere Kapselung der Unterseite eines Wafers,
 [0055] Fig. 9 ein Anbringen von Ball Grid Arrays am Wafer aus Fig. 8 oder Fig. 8a,
 [0056] Fig. 10 ein Schema einer Verdampfungsanordnung,
 [0057] Fig. 11 einen Querschnitt durch einen Waferabschnitt mit einer Kunststoffschicht und einer geschlossenen Glasschicht auf der Oberseite,
 [0058] Fig. 11a einen Querschnitt durch einen Waferabschnitt mit einer Kunststoffschicht und einer strukturierten Glasschicht auf der Oberseite
 [0059] Fig. 12 den Waferabschnitt aus Fig. 11 nach Abschleifen der Glasschicht und/oder Entfernen der Kunststoffschicht mittels Lift Off Technik und

[0060] Fig. 13 den Waferabschnitt aus Fig. 12 nach Aufbringen eines Ball Grid Arrays.

Detaillierte Beschreibung der Erfindung

[0061] Fig. 10 zeigt die Anordnung eines Substrats 1 zu einer Aufdampfglasquelle 20. Diese besteht aus einem Elektronenstrahlerzeuger 21, einer Strahlumlenkeinrichtung 22 und einem Glastarget 23, das von einem Elektronenstrahl 24 getroffen wird. An der Auftreffstelle des Elektronenstrahls verdampft das Glas und schlägt sich an der ersten Seite 1a des Substrats 1 nieder. Um das Glas des Targets 23 möglichst gleichmäßig verdampfen zu lassen, wird das Target gedreht und der Strahl 24 gewobelt.
 [0062] Wegen näherer Einzelheiten des möglichen Substrats 1 wird Bezug auf Fig. 1a und 1b genommen. Ein Siliziumwafer als das Substrat 1 weist Bereiche 2 mit Halbleiterstrukturen sowie Bereiche 3 mit Anschlußstrukturen auf, die hier als Bond Pad, beispielsweise aus Aluminium, ausgebildet sind. Der Siliziumwafer stellt ein Substrat mit einer Oberflächenrauigkeit $< 5 \mu\text{m}$ dar. Die Oberseite 1a des Substrats liegt der Unterseite 1b gegenüber. Auf die Oberseite 1a ist eine Glasschicht 4 als Kopierschutzschicht niedergeschlagen worden, die vorzugsweise aus dem Aufdampfglas des Typs 8329 der Firma Schott gewonnen wurde. Dieser Glastyp kann durch Einwirkung des Elektronenstrahls 24 weitgehend verdampft werden, wobei man in evakuierter Umgebung mit 10^{-5} mbar Restdruck und einer BIAS Temperatur während der Verdampfung von 100°C arbeitet. Unter diesen Bedingungen wird eine dichte geschlossene Glasschicht 4 erzeugt, die weitgehend gegenüber Gasen und Flüssigkeiten, auch Wasser, dicht ist, jedoch Licht durchlässt, was im Falle von elektrooptischen Bauteilen wichtig ist.
 [0063] Die Unterseite 1b des Wafers steht für weitere Bearbeitungsschritte zur Verfügung, welche das Nass-, Trocken- und Plasmaätzen bzw. -reinigen umfassen.
 [0064] Fig. 1b zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen Glasschicht 14, welche auf die Unterseite 1b aufgedampft ist.
 [0065] Fig. 1c zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen geschlossenen Schutzschicht 4a, umfassend oder bestehend aus Metall, Keramik, Glas oder Kunststoff sowie einer weiteren abschließenden aufgedampften Glasschicht 4 auf der Oberseite.
 [0066] Fig. 1d zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen, lediglich abschnittsweise geschlossenen bzw. nicht geschlossenen Schutzschicht 4b, umfassend oder bestehend aus Metall, Keramik, Glas oder Kunststoff. Die Schutzschicht 4b deckt wichtige Bereiche des Substrates, genauer die Bereiche 2 mit Halbleiterstrukturen ab. Die Bereiche 3 mit Anschlüssen sind nicht abgedeckt. Auf der Oberseite der Schutzschicht 4b ist eine weitere abschließende Glasschicht 4 aufgedampft.
 [0067] Fig. 1e zeigt das Substrat 1 wie in Fig. 1a, allerdings mit einer zusätzlichen nicht geschlossenen Schutzschicht 4c, umfassend oder bestehend aus Metall oder Keramik. Die Schutzschicht 4c enthält zusätzlich Leiterbahnen und/oder passive Bauelemente wie Widerstände, Kondensatoren, Varistoren, Spulen oder ähnliches. Auf der Oberseite der Schutzschicht 4b ist eine weitere abschließende Glasschicht 4 aufgedampft.
 [0068] Fig. 2 zeigt eine mehrschichtige Deckschicht des Substrats 1, die in diesem Ausführungsbeispiel aus einer Glasschicht 14 und einer Kunststoffschicht 5 auf der Unterseite 1b besteht. Die Glasschicht 14 hat eine Dicke im Bereich von 1 bis $50 \mu\text{m}$, was für die Abkapselung bzw. den hermetischen Abschluss genügt, während die Kunststoff-

schicht 5 dicker ist, um dem Wafer als Werkstück größere Stabilität für nachfolgende Bearbeitungsschritte zu verleihen.

[0069] Alternativ oder zusätzlich kann in gleicher Weise auch eine Kunststoffschicht auf die Glasschicht 4 auf der Oberseite aufgebracht werden, so dass dort eine entsprechende mehrschichtige Deckschicht aufgebracht ist.

[0070] In Fig. 3 ist die weitere Bearbeitung eines Wafers angedeutet. Der Wafer wird an der Unterseite gedünnt und es werden Ätzgruben 6 erzeugt, die bis zu den Bond Pads 3 reichen, welche als Ätzstop wirken. Die Waferunterseite 1b wird mit einer Kunststofflithographie versehen, wobei die Bereiche mit den Bond Pads 3 offen bleiben. Es werden nunmehr Leitungskontakte 7 auf der Unterseite erzeugt, was beispielsweise durch Besprühen oder Besputtern geschieht, wodurch leitfähige Schichten 7 im Bereich der Ätzgruben 6 erzeugt werden. Nunmehr wird der bei der Lithographie verwendete Kunststoff von der Waferunterseite 1b entfernt. Als dann wird ein Ball Grid Array 8 an den leitfähigen Schichten 7 angebracht und der Wafer wird entlang von Ebenen 9 aufgetrennt. Es entstehen eine Mehrzahl von elektronischen Bauteilen, deren Halbleiterstrukturen 2 sicher zwischen der Kopierschutzschicht 4 und dem Substrat 1 eingebettet und hermetisch verschlossen ist.

[0071] Fig. 4 zeigt eine Abwandlung der Ausführungsform der Fig. 3. Es werden die gleichen Verfahrensschritte wie zuvor ausgeführt, jedoch wird der Kunststoff an der Waferunterseite 1b nicht entfernt und bedeckt die Unterseite als Passivierungs- und Schutzschicht 10.

[0072] Fig. 5 zeigt eine Ausführungsform, bei der anstelle der Kunststoffschicht 10 eine aufgedampfte Glasschicht 11 auf der Unterseite 1b des Substrats aufgebracht werden soll. Wie bei der Ausführungsform der Fig. 3 wird der zur Lithographie verwendete Kunststoff an der Waferunterseite 1b entfernt und die gesamte Waferunterseite 1b wird mit dem Glas bedampft, so dass eine 1 bis 50 µm starke Glasschicht 11 entsteht.

[0073] Wie bei 11b dargestellt, bedeckt diese Glasschicht auch die nach außen ragenden Teile der Leitungskontakte 7. Zum Anbringen eines Ball Grid Arrays 8 werden diese Bereiche 11b durch Wegschleifen und/oder Wegätzen freigelegt. Danach werden die Ball Grid Arrays angebracht, wie Fig. 6 zeigt, und es erfolgt eine Auftrennung des Wafers zur Bildung einzelner Bauteile, wie bei 9 angedeutet. Die empfindlichen Halbleiterstrukturen 2 sind nach oben und nach unten jeweils durch eine Glasschicht 4 bzw. 11 mechanisch geschützt. Die Glasschicht 4 verkörpert gleichzeitig die Kopierschutzschicht.

[0074] Bei einer weiteren Ausführungsform der Erfindung wird der Wafer an Trennebenen 9, die nicht durch die Bond Pads verlaufen, aufgetrennt. Dies hat den Vorteil, dass auch ein seitlicher Passivierungsschutz für die Bauteile gewährleistet werden kann. Fig. 7a zeigt ein Beispiel der Auftrennung, bei welchem nur Material der Deckschicht 4 und des Substrats 1 betroffen ist. Es wird zunächst wie bei den zuvor beschriebenen Ausführungsbeispielen vorgegangen, d. h. der Wafer wird von der Unterseite gedünnt und es werden Ätzgruben 6 erzeugt, die bis zur Unterseite der Bond Pads 3 reichen. Die Waferunterseite 1b wird lithographiert, wobei die Bond Pad-Bereiche offen bleiben. Die Leitungskontakte 7 werden im Bereich der Ätzgruben 6 erzeugt, wobei die Ätzgruben außerdem mit leitfähigem Material 12 gefüllt werden. Hier kommt die galvanische Verstärkung durch Ni(P) in Betracht. Nachdem der Kunststoff an der Waferunterseite entfernt worden ist, werden die Ball Grid Arrays 8 angebracht. Danach erfolgt die Auftrennung des Wafers entlang von Ebenen 9. Man erhält elektronische Bauteile mit hermetisch eingeschlossenen Halbleiterstrukturen 2.

[0075] Alternativ kann auf das Entfernen der Kunststoffschicht 10 verzichtet werden, so dass diese als Schutzschicht auf der Unterseite 1b bestehen bleibt, wie in Fig. 1b gezeigt ist.

[0076] Fig. 8, 8a und 9 zeigen Ausführungsbeispiele mit der Erzeugung einer unterseitigen Glasschicht 11. Es wird analog zur Ausführungsform der Fig. 5 in Verbindung mit Fig. 7 vorgegangen, d. h. es werden gefüllte Bond Pads erzeugt und die gesamte Unterseite 1b des Wafers wird mit der Glasschicht 11 beschichtet. Anschließend wird die Glasschicht im Bereich der Ätzgruben 6 mittels Schleifen oder Ätzen wie in Fig. 8 dargestellt oder durch Ablösen der zuvor durch Lithographie im Bereich der Ätzgruben aufgetragenen Kunststoffschicht 15 mittels Lift Off Technik wie in Fig. 8a dargestellt, entfernt, um darauf die Ball Grid Arrays anzubringen, wie in Fig. 9 dargestellt. Nach Auftrennung entlang der Ebenen 9 werden Bauteile mit gekapselten Halbleiterstrukturen 2 erzielt.

[0077] Das Glassystem der Schicht 4 und/oder 11 stellt ein zumindest binäres System dar. Bevorzugt wird ein Mehrkomponentensystem.

[0078] Als besonders geeignet hat sich das Aufdampfglas Typ 8329 der Firma Schott erwiesen, welches folgende Zusammensetzung in Gewichtsprozent aufweist:

SiO ₂	84,1 %	
B ₂ O ₃	11,0 %	
Na ₂ O	~ 2,0 %	} 2,3 % (in der Schicht = 3,3 %)
K ₂ O	~ 0,3 %	
Li ₂ O		
Al ₂ O ₃		(in der Schicht = 0,5 %)

[0079] Der elektrische Widerstand beträgt ungefähr 10¹⁰ Ω/cm (bei 100°C), der Brechungsindex etwa 1,470, die Dielektrizitätskonstante ε etwa 4,8 (bei 25°C, 1 MHz) tan δ etwa 80 × 10⁻⁴ (bei 25°C, 1 MHz).

[0080] Zur Erzielung besonderer Eigenschaften der Bauteile kann es zweckmäßig sein, Gläser unterschiedlicher Glaszusammensetzungen für die Glasschichten der Oberseite und der Unterseite zu verwenden. Es ist auch möglich, mehrere Gläser mit unterschiedlichen Eigenschaften, z. B. hinsichtlich Brechungsindex, Dichte, Knoophärte, Dielektrizitätskonstante, tan δ nacheinander auf das Substrat aufzudampfen.

[0081] Anstelle der Elektronenstrahlverdampfung können auch andere Mittel zur Überführung von Materialien, die sich als Glas niederschlagen, angewendet werden. Das Verdampfungsmaterial kann sich beispielsweise in einem Tiegel befinden, der durch eine Elektronenstoßheizung aufgeheizt wird. Eine solche Elektronenstoßheizung beruht auf der Emission von Glühelktronen, die auf den Tiegel hin beschleunigt werden, um mit vorbestimmter kinetischer Energie auf das zu verdampfende Material aufzutreffen. Auch mit diesen Verfahren lassen sich Glasschichten erzeugen, ohne das Substrat, auf dem sich das Glas niederschlägt, allzu stark thermisch zu belasten.

[0082] Die Fig. 11, 11a und 12 zeigen eine weitere Ausführungsform der Erfindung. Hierbei sind auf der Unterseite 1b des Substrats 1 eine Glasschicht 14 und eine Kunststoffschicht 5 aufgebracht.

[0083] Bezugnehmend auf Fig. 11 werden auf der Oberseite 1a des Substrats 1 mittels Kunststofflithografie die Anschlussstrukturen oder Bond Pad Bereiche 3 mit einer strukturierten Kunststoffschicht oder Deckschicht 15 selektiv bedeckt. Die Bereiche mit den Halbleiterstrukturen 2 bleiben frei. Danach wird die Oberseite des Substrats mit einer Glas-

Kopierschutzschicht 4 bedampft. Anschließend wird die Kopierschutzschicht zumindest bis zum Niveau der Kunststoffschicht 15 weggeschliffen oder weggeätzt. Nun wird die Kunststoffschicht 15 an der Oberseite 1a selektiv entfernt. [0084] Eine weitere Möglichkeit der Strukturierung zeigt Fig. 11a, in der analog der Fig. 11 mittels Kunststofflithographie die Substratoberseite partiell mit Kunststoff bedeckt wird. In der nun folgenden Glasbedampfung überschreitet die Schichtdicke des aufgedampften Glases nicht die Schichtdicke der Kunststoffschicht. In einem nachfolgenden Prozessschritt kann nun mittels Lift Off Technik die Kunststoffschicht sowie die darauf befindlichen Glasschicht abgelöst werden.

[0085] Wie in Fig. 12 gezeigt ist, entsteht durch die Prozessierung analog Fig. 11 oder Fig. 11a ein Wafer, bei welchem die Halbleiterstrukturen 2 mit Glas beschichtet sind, während die Anschlussbereiche 3 freiliegen.

[0086] Bezugnehmend auf Fig. 13, welche eine besondere Ausführungsform für die Flip Chip Technik darstellt, werden an der Oberseite des Wafers auf den Anschlussbereichen 3 Ball Grid Arrays 18 aufgebracht.

[0087] Schließlich wird der Wafer zu hermetisch dichten Schaltungen zerteilt (sogenanntes dicing) und man erhält kopiergeschützte Chips.

[0088] Es ist für den Fachmann offensichtlich, dass die Erfindung nicht auf die beschriebenen Ausführungsbeispiele beschränkt ist.

Patentansprüche

1. Verfahren zur Herstellung eines Kopierschutzes für eine elektronische Schaltung, umfassend die Schritte Bereitstellen eines Substrats (1), welches Halbleiterstrukturen (2) auf zumindest einer ersten Seite (1a) des Substrats (1) aufweist, Bereitstellen eines Materials (23) zur Beschichtung des Substrats (1), Beschichten des Substrats (1) mit einer Kopierschutzschicht (4).
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Halbleiterstrukturen (2) zumindest bereichsweise mittels der Kopierschutzschicht (4) abgedeckt werden und wobei die Kopierschutzschicht (4) dergestalt an das Substrat (1) angepasst wird, dass ein Ätzverfahren, welches die Kopierschutzschicht (4) auflöst, ebenfalls das Substrat (1) derart angreift, dass die Halbleiterstrukturen (2) zumindest teilweise zerstört werden.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Substrat (1) eine Halbleiterschicht aus Silizium umfasst und die Kopierschutzschicht (4) Silizium enthält.
4. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine geschlossene Schicht als Kopierschutzschicht (4) aufgebracht wird.
5. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) Glas, insbesondere silikatisches Glas umfasst.
6. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein Borosilikatglas mit Anteilen von Aluminiumoxid und Alkalioxid umfasst.
7. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) aufgedampft wird.
8. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein zumindest binäres System umfasst.

9. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine Abschirmung gegen elektromagnetische Wellen umfasst.

10. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) durch thermische Bedampfung oder durch Elektronenstrahlbedampfung aufgedampft wird.

11. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) mit einer Dicke von 0,1 bis 1000 µm auf das Substrat (1) aufgebracht wird.

12. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Beschichten des Substrats (1) mit der Kopierschutzschicht (4) bei einer Bias-Temperatur von unter 300°C durchgeführt wird.

13. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Beschichten des Substrats (1) mit der Kopierschutzschicht (4) bei einem Druck von 10^{-3} mbar bis 10^{-7} mbar durchgeführt wird.

14. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine Glasschicht (14) auf eine der ersten Seite (1a) gegenüberliegende zweite Seite (1b) des Substrats (1) aufgebracht wird.

15. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine Kunststoffschicht (5) auf eine der ersten Seite (1a) gegenüberliegende zweite Seite (1b) des Substrats (1) aufgebracht wird.

16. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Substrat (1) gedünnt wird, Ätzgruben (6) mit Bond Pads (3) auf der ersten Seite (1a) des Substrats (1) als Ätzstop erzeugt werden, eine Kunststoffschicht (10) mittels Kunststofflithographie auf eine der ersten Seite (1a) gegenüberliegende zweite Seite (1b) des Substrats (1) aufgebracht wird, wobei die Bond Pads (3) offen bleiben, Kontakte (7) auf der zweiten Seite (1b) durch Beschichten mit einer leitfähigen Schicht erzeugt werden, ein Ball-Grid-Array (8) aufgebracht wird und das Substrat (1) in einzelne Chips zerteilt wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass die Kunststoffschicht (10) auf der zweiten Seite (1b) wieder entfernt wird.

18. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass eine der ersten Seite (1a) gegenüberliegende zweite Seite (1b) des Substrats (1) mit einer 1 µm bis 50 µm dicken Glasschicht (11) bedampft wird und unter der Glasschicht (11) befindliche Bond Pads (7) mittels Schleifen oder Ätzen freigelegt werden.

19. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass Ätzgruben (6) mit leitfähigem Material gefüllt werden.

20. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass das Substrat (1) Anschlussstrukturen umfasst, welche mit einer strukturierten Deckschicht (15) beschichtet werden, bevor das Beschichten mit der Kopierschutzschicht (4) durchgeführt wird, die Kopierschutzschicht (4) gedünnt wird, zumindest bis die Deckschicht (15) freigelegt ist und die Deckschicht (15) zur Freilegung der Anschlussstrukturen (3) entfernt wird.

21. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass zumindest Abschnitte einer Deckschicht (15) und zumindest Ab-

schnitte der Kopierschutzschicht (4) mittels Lift Off Technik entfernt werden.

22. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass ein Ball Grid Array (18) auf der ersten Seite (1a) des Substrats auf (1) Anschlussstrukturen (3) aufgebracht wird. 5

23. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterstrukturen (2) elektronische Entschlüsselungsmittel umfassen. 10

24. Elektronisches Bauteil, herstellbar mit einem Verfahren nach einem der vorstehenden Ansprüche.

25. Elektronisches Bauteil mit einem Kopierschutz, umfassend 15

eine elektronische Schaltung auf einem Substrat (1) mit Halbleiterstrukturen (2) auf einer ersten Seite (1a) des Substrats (1) und

eine Kopierschutzschicht (4).

26. Elektronisches Bauteil nach Anspruch 24 oder 25, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein erstes Material enthält, wobei die Halbleiterstrukturen (2) zumindest bereichsweise von der Kopierschutzschicht (4) abgedeckt sind, die Kopierschutzschicht (4) fest mit dem Substrat (1) verbunden ist und das erste Material derart bestimmt ist, dass ein Ätzverfahren, welches die Kopierschutzschicht auflöst, ebenfalls das Substrat derart angreift, dass die elektronische Schaltung zerstört wird. 20

27. Elektronisches Bauteil nach einem der Ansprüche 24 bis 26, dadurch gekennzeichnet, dass das Substrat (1) eine Halbleiterschicht aus Silizium umfasst und die Kopierschutzschicht (4) Silizium enthält. 25

28. Elektronisches Bauteil nach einem der Ansprüche 24 bis 27, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine geschlossene Schicht umfasst. 30

29. Elektronisches Bauteil nach einem der Ansprüche 24 bis 28, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) Glas, insbesondere silikatisches Glas umfasst. 35

30. Elektronisches Bauteil nach einem der Ansprüche 24 bis 29, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein Borosilikatglas mit Anteilen von Aluminiumoxid und Alkalioxid umfasst. 40

31. Elektronisches Bauteil nach einem der Ansprüche 24 bis 30, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) aufgedampft ist. 45

32. Elektronisches Bauteil nach einem der Ansprüche 24 bis 31, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) ein binäres System umfasst. 50

33. Elektronisches Bauteil nach einem der Ansprüche 24 bis 32, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine Abschirmung gegen elektromagnetische Wellen umfasst. 55

34. Elektronisches Bauteil nach einem der Ansprüche 24 bis 33, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) durch thermische Bedampfung oder durch Elektronenstrahlbedampfung aufgedampft ist.

35. Elektronisches Bauteil nach einem der Ansprüche 24 bis 34, dadurch gekennzeichnet, dass die Kopierschutzschicht (4) eine Dicke von 0,1 µm bis 1000 µm aufweist. 60

36. Elektronisches Bauteil nach einem der Ansprüche 24 bis 35, dadurch gekennzeichnet, dass das Substrat (1) Anschlussstrukturen (3) aufweist und auf einer der ersten Seite (1a) gegenüberliegenden zweiten Seite (1b) des Substrats (1) erhabene Anschlusskontakte (8) angeordnet sind, wobei die Anschlusskontakte (8) mit den Anschlussstrukturen (3) elektrisch verbunden sind. 65

37. Elektronisches Bauteil nach Anspruch 36, dadurch gekennzeichnet, dass die zweite Seite (1b) des Substrats (1) zwischen den Anschlusskontakten (8) mit Kunststoff (10) beschichtet ist, wobei die Anschlusskontakte (8) kontaktierbar freiliegen.

38. Elektronisches Bauteil nach Anspruch 36 oder 37, dadurch gekennzeichnet, dass die zweite Seite (1b) des Substrats (1) zwischen den Anschlusskontakten (8) mit Glas (11) beschichtet ist, wobei die Anschlusskontakte (8) kontaktierbar freiliegen.

39. Elektronisches Bauteil nach einem der Ansprüche 24 bis 38, dadurch gekennzeichnet, dass das Substrat (1) Anschlussstrukturen aufweist und auf der ersten Seite (1a) des Substrats (1) erhabene Anschlusskontakte (18) angeordnet sind, wobei die Anschlusskontakte (18) mit den Anschlussstrukturen (3) elektrisch verbunden sind.

40. Elektronisches Bauteil nach einem der Ansprüche 24 bis 39, dadurch gekennzeichnet, dass sich die Kopierschutzschicht (4) auf der ersten Seite (1a) des Substrats (1) zwischen Anschlusskontakten (3, 18) erstreckt, wobei die Anschlusskontakte (3, 18) kontaktierbar freiliegen.

41. Elektronisches Bauteil nach einem der Ansprüche 24 bis 40, dadurch gekennzeichnet, dass die elektronische Schaltung Entschlüsselungsmittel umfasst.

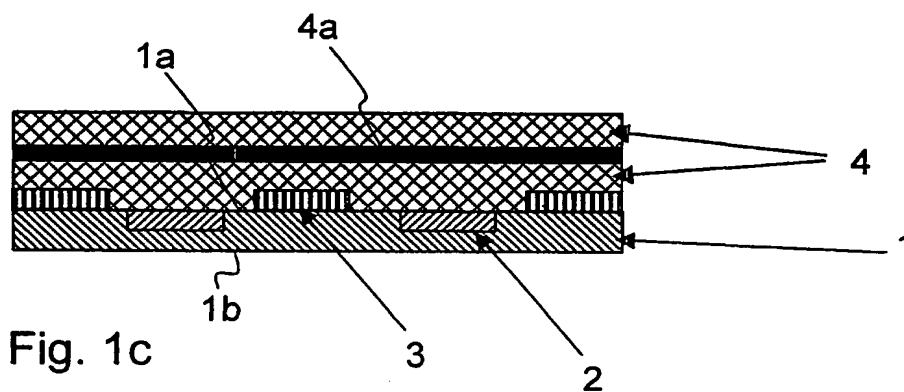
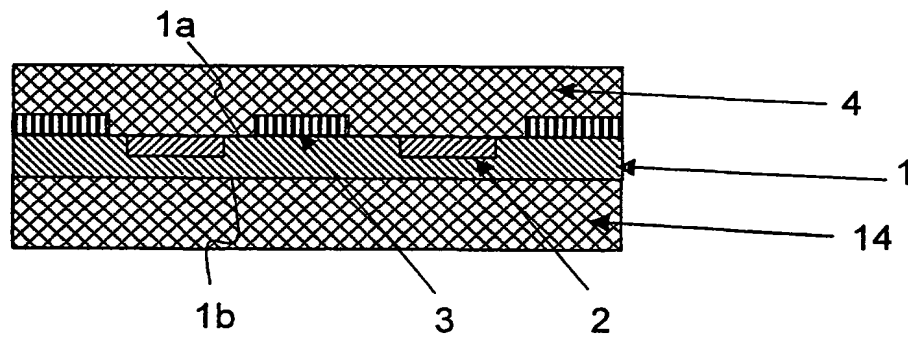
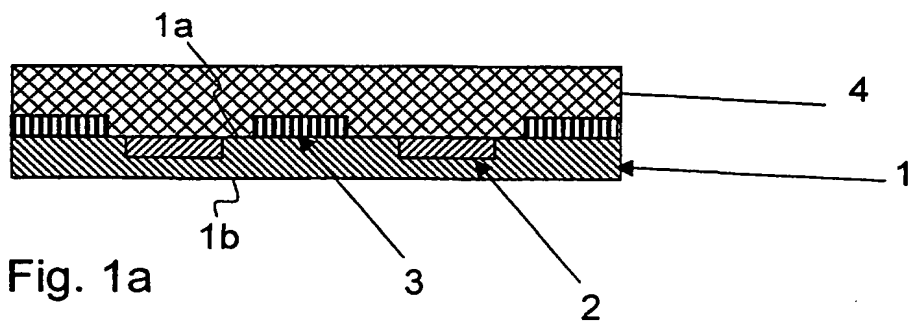
42. Entschlüsselungsgerät zur Entschlüsselung von verschlüsselten Signalen, insbesondere des Bezahlrunds umfassen ein Bauteil nach einem der Ansprüche 24 bis 41.

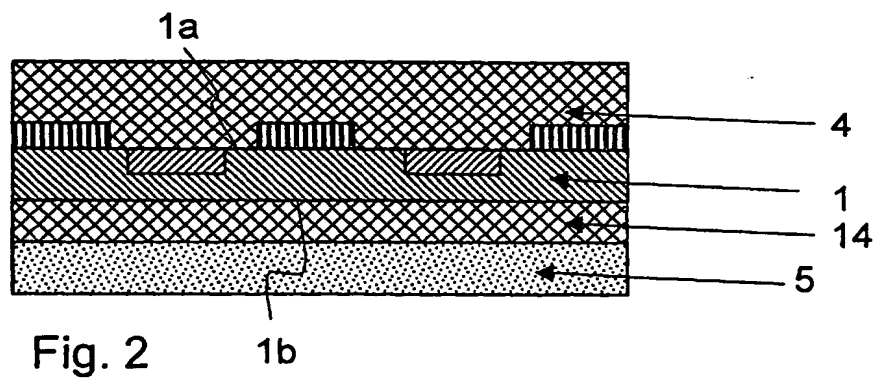
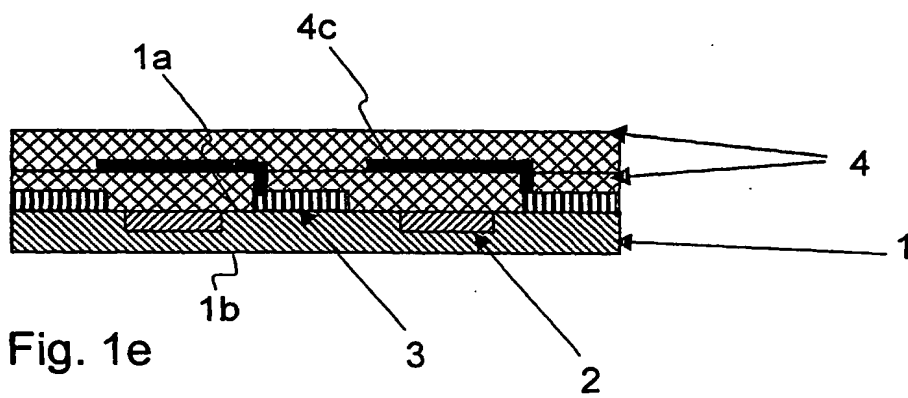
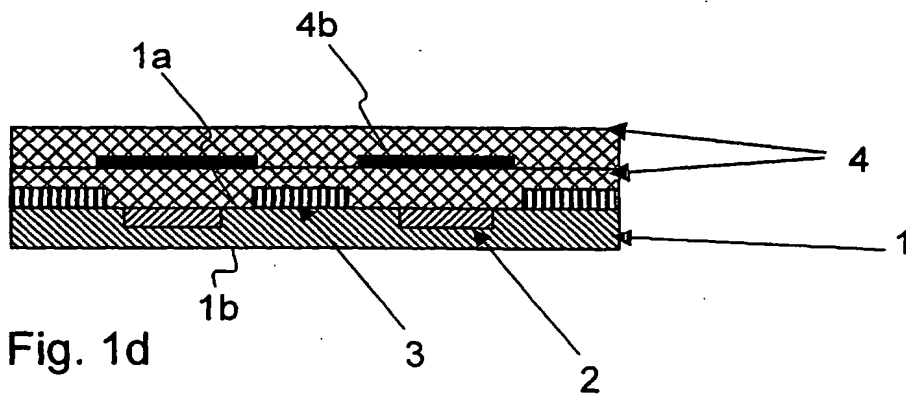
43. Vorrichtung ausgebildet zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 23.

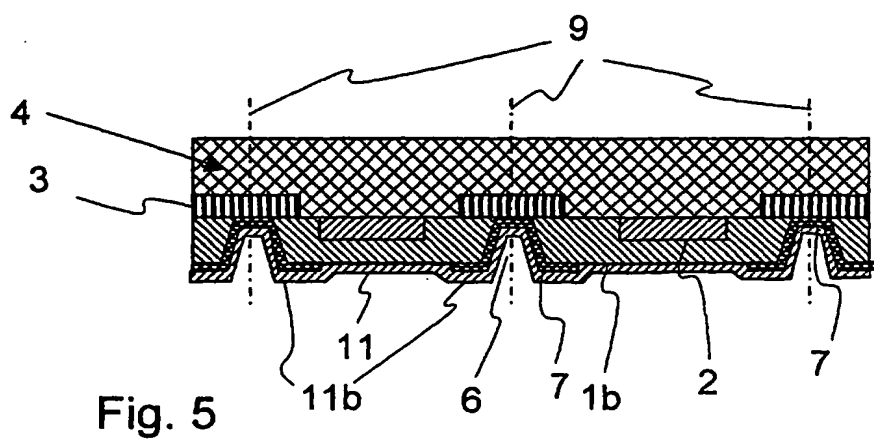
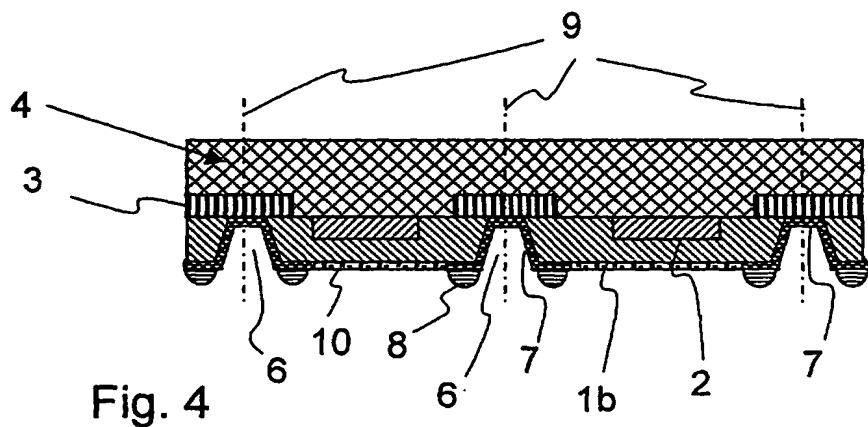
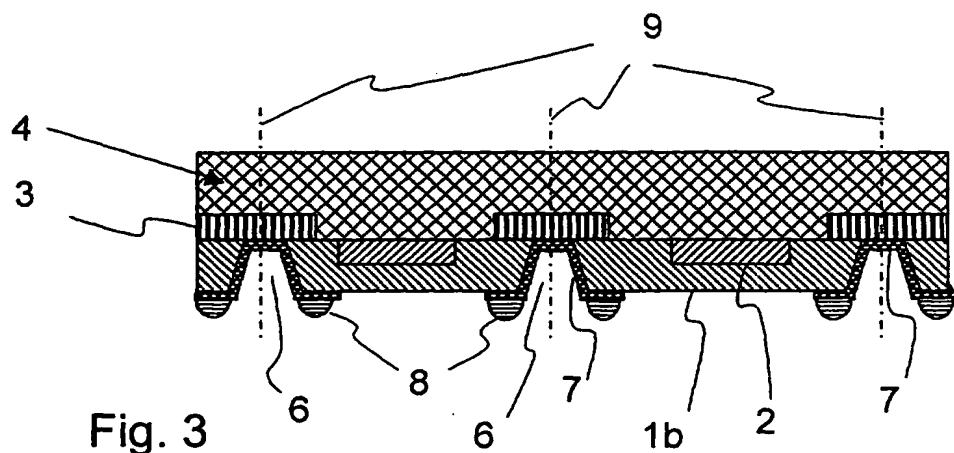
44. Verwendung einer Beschichtung auf einer elektronischen Schaltung, welche insbesondere nach einem Verfahren gemäß einem der Ansprüche 1 bis 23 herstellbar ist und/oder ein Bestandteil eines elektronischen Bauteils gemäß einem der Ansprüche 24 bis 41 ist, als Schutz gegen das Freilegen der Schaltung durch Wegätzen der Beschichtung.

Hierzu 8 Seite(n) Zeichnungen

- Leerseite -







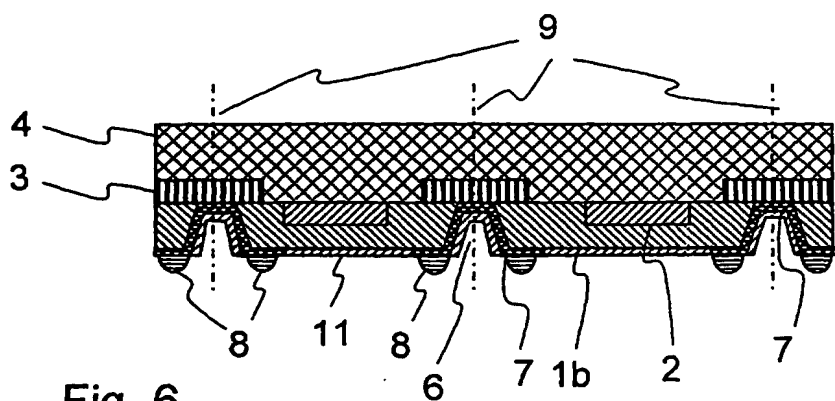


Fig. 6

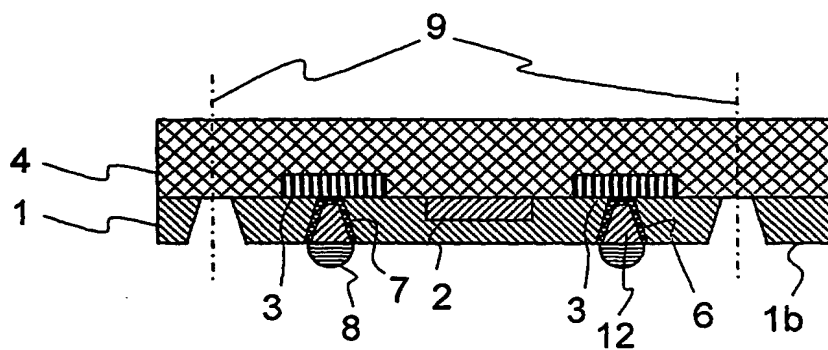


Fig. 7a

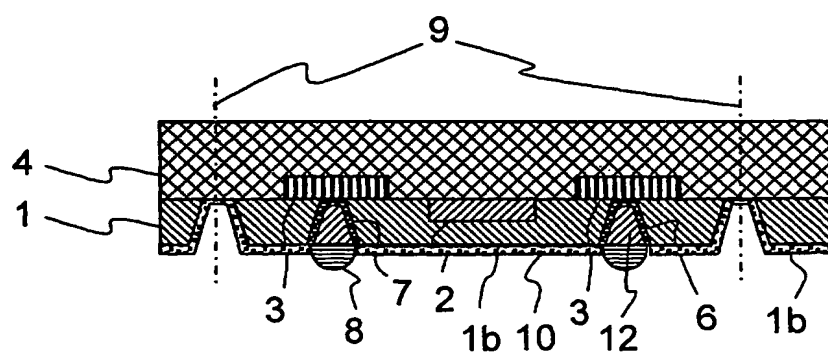


Fig. 7b

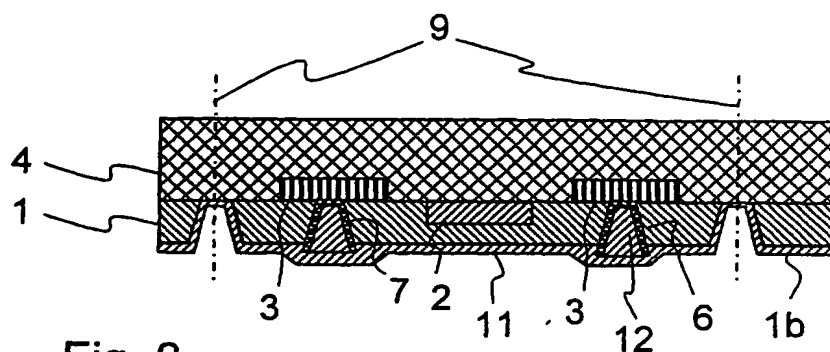


Fig. 8

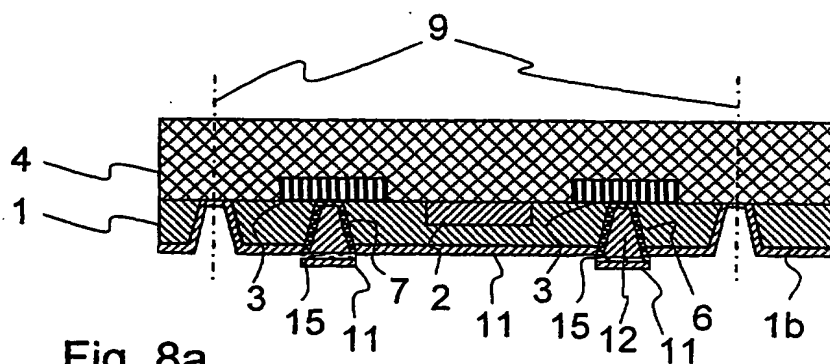


Fig. 8a

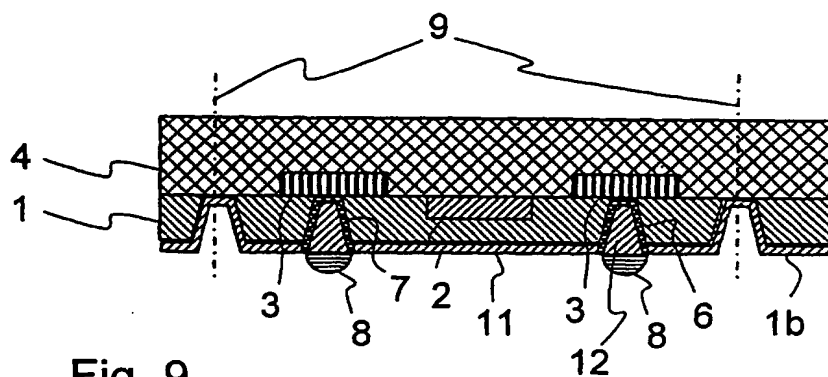
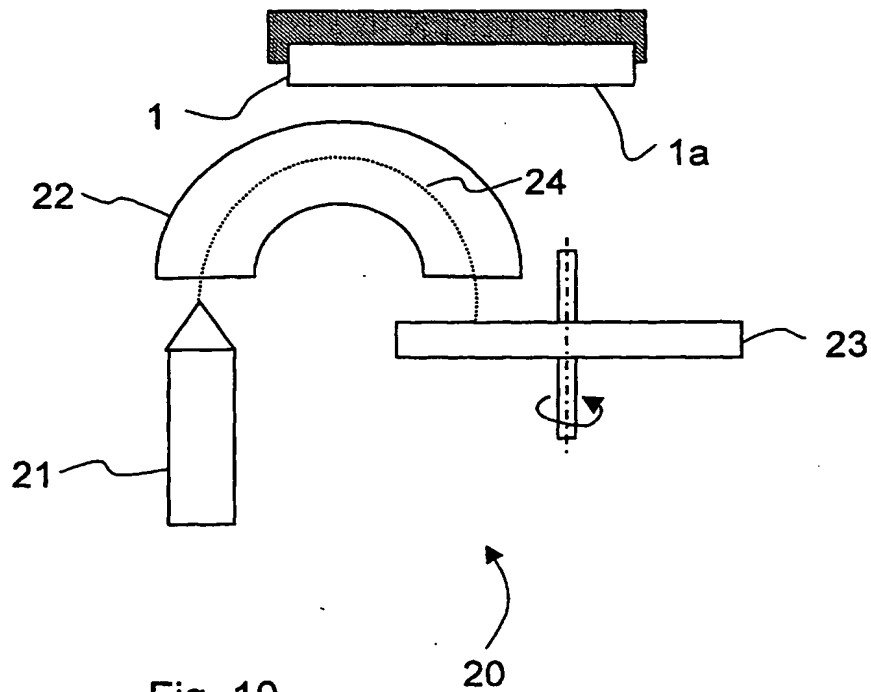
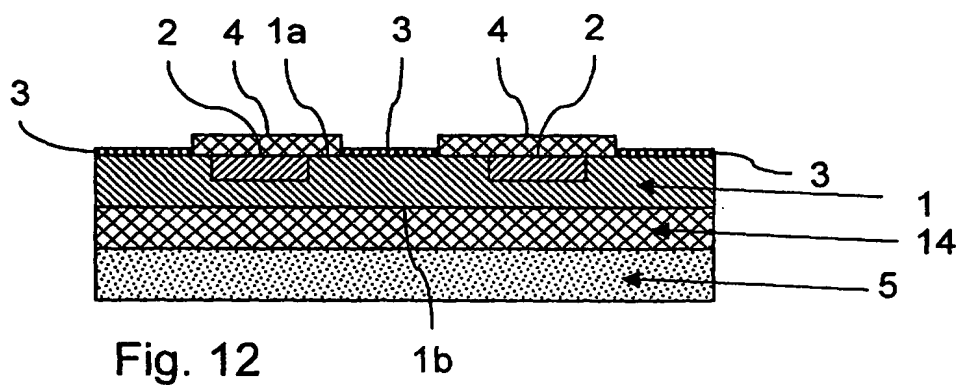
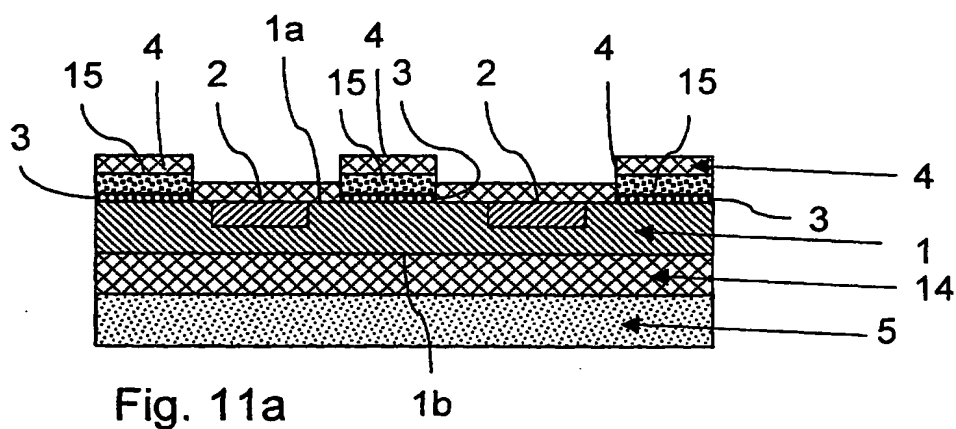
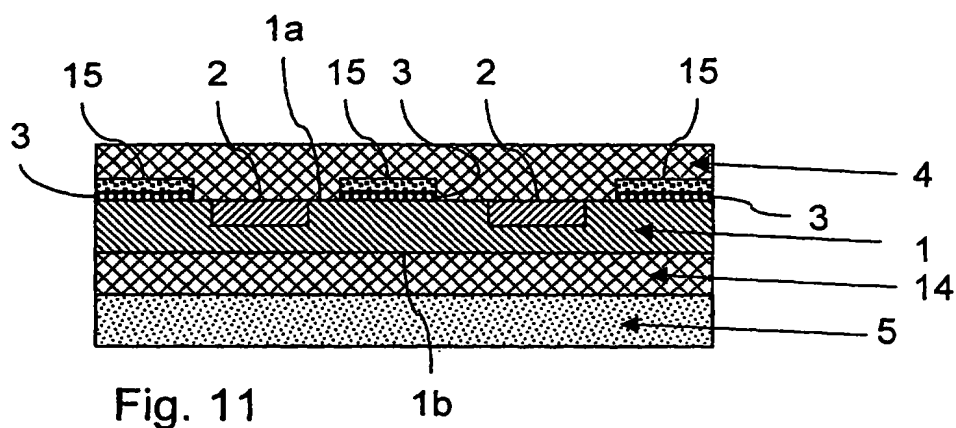


Fig. 9





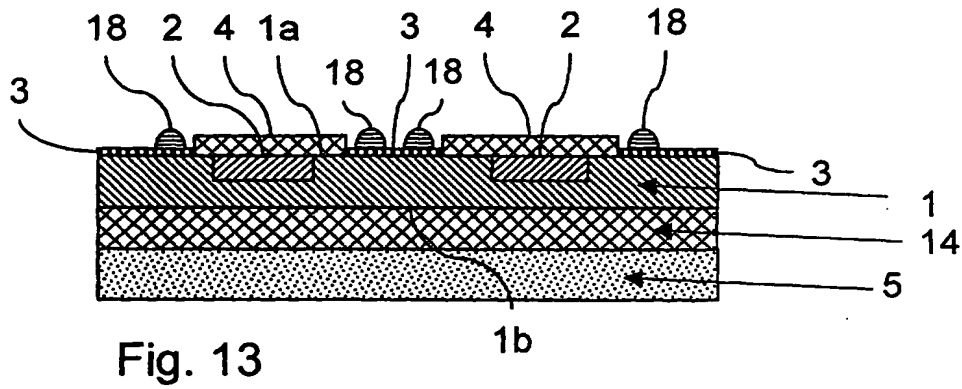


Fig. 13